

日 本 国 特 許 庁  
JAPAN PATENT OFFICE

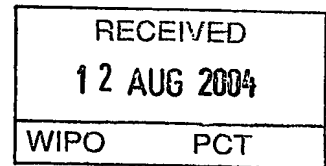
23. 6. 2004

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日            2 0 0 3 年   6 月 3 0 日  
Date of Application:

出 願 番 号            特 願 2 0 0 3 - 1 8 6 4 2 8  
Application Number:  
[ST. 10/C]:            [J P 2 0 0 3 - 1 8 6 4 2 8]



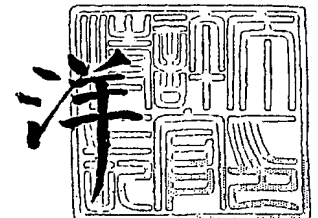
出 願 人            ソニー株式会社  
Applicant(s):

PRIORITY DOCUMENT  
SUBMITTED OR TRANSMITTED IN  
COMPLIANCE WITH  
RULE 17.1(a) OR (b)

2 0 0 4 年   7 月 2 9 日

特許庁長官  
Commissioner,  
Japan Patent Office

小 川



【書類名】 特許願

【整理番号】 0390473301

【提出日】 平成15年 6月30日

【あて先】 特許庁長官 殿

【国際特許分類】 G06G 3/36

【発明者】

【住所又は居所】 東京都品川区北品川 6 丁目 7 番 3 5 号 ソニー株式会社  
内

【氏名】 村瀬 正樹

【発明者】

【住所又は居所】 東京都品川区北品川 6 丁目 7 番 3 5 号 ソニー株式会社  
内

【氏名】 仲島 義晴

【発明者】

【住所又は居所】 東京都品川区北品川 6 丁目 7 番 3 5 号 ソニー株式会社  
内

【氏名】 木田 芳利

【特許出願人】

【識別番号】 000002185

【氏名又は名称】 ソニー株式会社

【代理人】

【識別番号】 100102185

【弁理士】

【氏名又は名称】 多田 繁範

【電話番号】 03-5950-1478

【手数料の表示】

【予納台帳番号】 047267

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9713935

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 フラットディスプレイ装置

【特許請求の範囲】

【請求項 1】

各画素の明るさを示す階調データを順次入力し、所定の表示部に前記階調データによる画像を表示するフラットディスプレイ装置において、

前記階調データを順次循環的にサンプリングし、前記階調データを複数系統の階調データに変換するシリアルパラレル変換回路と、

前記各系統の階調データに対応して複数設けられ、前記表示部の対応する列の画素について、対応する前記系統の階調データに応じて階調を設定する水平駆動回路とを備え、

前記水平駆動回路は、

前記対応する系統の階調データを順次サンプリングし、前記対応する系統の階調データを対応する列に振り分ける複数のサンプリング回路と、

前記サンプリング回路のサンプリング結果により前記列への出力信号レベルを設定するデジタルアナログ変換回路とを有し、

前記シリアルパラレル変換回路は、

前記順次循環的なサンプリングに対応するタイミングにより前記複数系統の階調データをそれぞれ対応する前記水平駆動回路に出力し、

前記各系統の水平駆動回路は、

それぞれ前記シリアルパラレル変換回路における順次循環的なサンプリングに対応するタイミングにより、前記複数のサンプリング回路で、前記対応する系統の階調データをサンプリングする

ことを特徴とするフラットディスプレイ装置。

【請求項 2】

前記シリアルパラレル変換回路、前記複数系統の水平駆動回路、前記シリアルパラレル変換回路及び前記複数系統の水平駆動回路に動作基準のタイミング信号を出力するタイミングジェネレータが、前記表示部の絶縁基板上に形成された

ことを特徴とする請求項 1 に記載のフラットディスプレイ装置。

**【請求項 3】**

前記複数系統が、前記表示部における奇数列と偶数列とに対応する系統であり

前記各系統の水平駆動回路が、前記表示部の上下にそれぞれ配置されたことを特徴とする請求項 1 に記載のフラットディスプレイ装置。

**【請求項 4】**

前記シリアルパラレル変換回路は、

前記階調データの振幅を拡大して順次循環的にサンプリングして複数系統のデータに変換するデータ変換回路と、

前記データ変換回路による複数系統のデータのそれぞれについて、振幅を抑圧して前記複数系統の階調データを出力するレベルシフト回路とを有する

ことを特徴とする請求項 1 に記載のフラットディスプレイ装置。

**【発明の詳細な説明】****【0001】****【発明の属する技術分野】**

本発明は、フラットディスプレイ装置に関し、例えば絶縁基板上に駆動回路を一体に形成した液晶表示装置に適用することができる。本発明は、階調データを複数系統に振り分ける際のサンプリングに対応するタイミングで、各系統の階調データを対応する水平駆動回路でサンプリングすることにより、従来に比して構成を簡略化し、さらには消費電力を少なくすることができるようにする。

**【0002】****【従来の技術】**

近年、例えば P D A (Personal Digital Assistants)、携帯電話等の携帯端末装置に適用されるフラットディスプレイ装置である液晶表示装置においては、液晶表示パネルを構成する絶縁基板であるガラス基板上に、液晶表示パネルの駆動回路を一体に形成することにより、いわゆる狭額縁化を図り、構成を簡略化し、消費電力を低減するようになされている。

**【0003】**

このような液晶表示装置においては、例えば奇数列の画素と偶数列の画素とを

それぞれ奇数列用及び偶数列用の水平駆動回路で駆動し、これら奇数列用及び偶数列用の水平駆動回路をそれぞれ液晶表示パネルの上下に配置することにより、表示部における配線パターンを効率良くレイアウトして高精細に画素を配置するようになされている。

#### 【0004】

すなわち図8は、この種の液晶表示装置を示す平面図である。この液晶表示装置1は、液晶セル、この液晶セルのスイッチング素子であるポリシリコンTFT (Thin Film Transistor: 薄膜トランジスタ)、保持容量とにより各画素が形成され、この各画素をマトリックス状に配置して矩形形状による表示部2が形成される。液晶表示装置1は、この表示部2の対向する上下の辺に沿って、それぞれ奇数列用及び偶数列用の水平駆動回路3O、3Eが形成され、残る縦方向に延長する2辺のうちの1辺に沿って垂直駆動回路5が形成される。液晶表示装置1は、シリアルパラレル変換回路(SP変換回路)6を介してそれぞれ奇数列用及び偶数列用の階調データDodd、Devenが例えばラスタ走査順に入力される。なおここで階調データは、表示部2における各画素の明るさを示すデータである。

#### 【0005】

この液晶表示装置1において、タイミングジェネレータ7は、この液晶表示装置1の動作に必要な動作基準の各種タイミング信号を生成して出力する。この処理において、タイミングジェネレータ7は、図9に示すように、この液晶表示装置1に供給されるシリアルデータによる階調データD1に同期したマスタクロックMCKを上位のクロックジェネレータより入力し(図9(A)及び(B))、このマスタクロックMCKを分周、位相調整して画像データD1のサンプリングクロックsck(図9(C))を生成する。またこのサンプリングクロックsckの位相を補正し、このサンプリングクロックsckを基準にしてサンプリングしたデータについて、このサンプリングしたデータの位相を補正するタイミング補正用のクロックdck(図9(F))を生成する。またこのサンプリングクロックsckを分周し、奇数列用及び偶数列用の階調データDodd、Devenについて、水平駆動回路3O、3Eにおけるサンプリング用のサンプリングクロ

ック HCK (図 9 (I)) を生成する。

#### 【0006】

シリアルパラレル変換回路 6 は、図 10 に示すように、階調データ D1 をそれぞれ奇数列用及び偶数列用のサンプリングラッチ 8 O、8 E に入力し、偶数列用のサンプリングラッチ 8 E においては、サンプリングクロック sck により階調データ D1 をサンプリングして出力するのに対し (図 9 (B)、(C) 及び (E))、奇数列用のサンプリングラッチ 8 O においては、インバータ 9 を介してサンプリングクロック sck を入力することにより、このサンプリングクロック sck の反転信号により階調データ D1 をサンプリングして出力する (図 9 (B)、(C) 及び (D))。これによりシリアルパラレル変換回路 6 は、順次入力される階調データ D1 を順次循環的にサンプリングして複数系統の階調データに変換するようになされ、この液晶表示装置 1 は、この複数系統が奇数列用及び偶数列用の 2 系統に設定されるようになされている。

#### 【0007】

位相調整回路 10 O 及び 10 E は、それぞれサンプリングラッチ 8 O 及び 8 E の出力データ D o d 及び D e v をタイミング補正用のクロック dck によりラッチし、これによりこれら奇数列用及び偶数列用の階調データ D o d 及び D e v のタイミングを補正する。これによりシリアルパラレル変換回路 6 は、タイミングの一致してなる奇数列用及び偶数列用による 2 系統の階調データ D o d d 及び D e v e n を位相調整回路 10 O 及び 10 E から出力する (図 9 (G) 及び (H))。データ出力回路 11 O 及び 11 E は、バッファ回路により構成され、これら奇数列用及び偶数列用の階調データ D o d d 及び D e v e n をそれぞれ対応する奇数列用及び偶数列用の水平駆動回路 3 O 及び 3 E に出力する。

#### 【0008】

これらにより奇数列用及び偶数列用の水平駆動回路 3 O 及び 3 E においては、それぞれ奇数列用及び偶数列用の階調データ D o d d 及び D e v e n が同期して入力され、この階調データ D o d d 及び D e v e n に基づいて、それぞれ奇数列及び偶数列の画素について、階調を設定する。すなわち水平駆動回路 3 O 及び 3 E において、それぞれサンプリングラッチ 12 O 及び 12 E は、サンプリングク

ロック H C K を基準にして、奇数列及び偶数列の列数による複数のラッチによりこの画像データを順次循環的にラッチする（図 9（G）、（H）及び（I））。これにより水平駆動回路 3 O、3 E は、それぞれラスト走査順で入力される階調データ D o d d 及び D e v e n をライン単位で区切ってサンプリングラッチ 1 2 O、1 2 E に一時保持する。

#### 【0009】

続く第 2 ラッチ 1 3 O、1 3 E は、それぞれサンプリングラッチ 1 2 O、1 2 E を構成する各ラッチのラッチ結果を水平走査の周期で同時並列的にラッチし、これによりこのようにしてライン単位による階調データ D 1、D 2 をライン単位でまとめて続くデジタルアナログ変換回路（D A C : Digital to Analog Converter）1 4 O、1 4 E に出力する。デジタルアナログ変換回路 1 4 O、1 4 E は、それぞれ第 2 ラッチ 1 3 O、1 3 E から出力される複数系統の階調データ D 1、D 2 をデジタルアナログ変換処理して出力することにより、これら各階調データ D 1、D 2 に対応する各画素の駆動信号を生成して出力する。これにより水平駆動回路 3 O 及び 3 E は、サンプリングラッチ 1 2 O、1 2 E によるサンプリング結果により対応する列への出力信号レベルを設定するようになされている。

#### 【0010】

水平駆動回路 3 O、3 E は、このようにして形成される複数系統の駆動信号が表示部 2 の信号線（列線）に供給され、これにより各信号線においては、それぞれ奇数列及び偶数列について、縦方向に連続する画素の階調データ D o d d、D e v e n に対応する駆動電圧に、順次循環的に設定されるようになされている。

#### 【0011】

垂直駆動回路 5 においては（図 8）、この信号線における駆動電圧の設定に対応して、表示部 2 のゲート線（行線）を順次選択して対応する画素の T F T をオン状態に設定する。これにより液晶表示装置 1 においては、階調データ D 1 による所望の画像を表示し得るようになされている。

#### 【0012】

しかして液晶表示装置 1 においては、このように水平駆動回路 3 O、3 E のサ



ンプリングラッチ 1 2 で順次入力される階調データ D o d d 及び D e v e n を順次サンプリングしてライン単位でまとめ、第 2 ラッチ 1 3 O、1 3 E に転送することにより、このサンプリングラッチ 1 2 におけるラッチの順序にあつては、この液晶表示装置 1 に入力される画像データ D 1 の配列に対応して種々に設定することができ、例えば特開平 1 0 - 1 7 3 7 1 号公報、特開平 1 0 - 1 7 7 3 6 8 号公報等においては、これらの設定に係る種々の工夫が提案されるようになされている。

#### 【 0 0 1 3 】

##### 【特許文献 1】

特開平 1 0 - 1 7 3 7 1 号公報

##### 【特許文献 2】

特開平 1 0 - 1 7 7 3 6 8 号公報

#### 【 0 0 1 4 】

##### 【発明が解決しようとする課題】

ところでこの種の液晶表示装置においては、駆動回路の構成を簡略化し、さらには消費電力を少なくすることが求められる。

#### 【 0 0 1 5 】

本発明は以上の点を考慮してなされたもので、従来に比して構成を簡略化し、さらには消費電力を少なくすることができるフラットディスプレイ装置を提案しようとするものである。

#### 【 0 0 1 6 】

##### 【課題を解決するための手段】

かかる課題を解決するため請求項 1 の発明においては、フラットディスプレイ装置に適用して、シリアルパラレル変換回路は、順次循環的なサンプリングに対応するタイミングにより複数系統の階調データをそれぞれ対応する水平駆動回路に出力し、各系統の水平駆動回路は、それぞれシリアルパラレル変換回路における順次循環的なサンプリングに対応するタイミングにより、複数のサンプリング回路で、対応する系統の階調データをサンプリングする。

#### 【 0 0 1 7 】

請求項 1 の構成によれば、フラットディスプレイ装置に適用して、シリアルパラレル変換回路は、順次循環的なサンプリングに対応するタイミングにより複数系統の階調データをそれぞれ対応する水平駆動回路に出力し、各系統の水平駆動回路は、それぞれシリアルパラレル変換回路における順次循環的なサンプリングに対応するタイミングにより、複数のサンプリング回路で、対応する系統の階調データをサンプリングすることにより、シリアルパラレル変換回路から出力される複数系統の階調データにおいては、シリアルパラレル変換回路における順次循環的なサンプリングに対応するタイミングで出力された後、このタイミングに対応するサンプリングにより各水平駆動でサンプリングされる。これによりシリアルパラレル変換回路から何らタイミングの一致を図ることなく階調データを出力して画像の表示に供することができ、その分、タイミングの一致を図る構成を省略して構成を簡略化し、また消費電力を少なくすることができる。

#### 【0018】

##### 【発明の実施の形態】

以下、適宜図面を参照しながら本発明の実施の形態を詳述する。

#### 【0019】

##### (1) 第 1 の実施の形態

##### (1-1) 第 1 の実施の形態の構成

図 1 は、図 8 との対比により本発明の実施の形態に係る液晶表示装置を示すブロック図である。この液晶表示装置 1 においては、シリアルパラレル変換回路 26、水平駆動回路 23O、23E、これらシリアルパラレル変換回路 26 及び水平駆動回路 23O、23E に係るタイミングジェネレータ 27 の構成が異なる点を除いて、図 8 について上述した液晶表示装置 1 と同一に構成される。

#### 【0020】

この液晶表示装置 1 は、例えば携帯電話に組み込まれて、この携帯電話の画像データを処理する中央処理ユニットから、赤色、青色、緑色の各画素の階調を示してなる階調データ D11 の入力を受け付ける。この実施の形態において、階調データ D11 は、赤色、青色、緑色の各画素の階調データが同時並列的に、ラスタ走査の順序により供給されるようになされている。ここで各画素においては、

6ビットの階調データが割り当てられるようになされ、これによりこの実施の形態では18ビットパラレル（6ビット×3）による階調データD11が入力されるようになされている。

#### 【0021】

タイミングジェネレータ27は、図3に示すように、この階調データD11に同期したマスタクロックMCKを上位のクロックジェネレータより入力し（図3（A）及び（B））、このマスタクロックMCKを分周、位相調整して画像データD1のサンプリングクロックsck（図3（C））を生成する。またこのサンプリングクロックsckを分周、位相補正し、奇数列用の階調データDoddについて、水平駆動回路230におけるサンプリング用のサンプリングクロックHCKod（図3（F））を生成する。また同様にサンプリングクロックsckを処理して、このサンプリングクロックHCKod（図3（F））に対して1/4クロック周期だけ位相が遅延してなる水平駆動回路23Eにおけるサンプリング用のサンプリングクロックHCKev（図3（G））を生成する。

#### 【0022】

図10との対比により図1に示すように、シリアルパラレル変換回路26は、18ビットパラレルの階調データD11をそれぞれ奇数列用及び偶数列用のサンプリングラッチ28O、28Eに入力し、偶数列用のサンプリングラッチ28Eにおいては、サンプリングクロックsckにより階調データD11をサンプリングして出力するのに対し（図3（B）、（C）及び（E））、奇数列用のサンプリングラッチ28Oにおいては、インバータ29を介してサンプリングクロックsckを入力することにより、このサンプリングクロックsckの反転信号により階調データD11をサンプリングして出力する（図3（B）、（C）及び（D））。これによりシリアルパラレル変換回路26は、順次入力される階調データD1を交互に奇数列用及び偶数列用に振り分けるようになされている。しかしてこの実施の形態では、表示部2に形成された赤色、青色、緑色による1組の画素により、順次奇数列、偶数列が形成されることになる。

#### 【0023】

シリアルパラレル変換回路26は、このようにしてサンプリングラッチ28O

、28Eにそれぞれラッチされてなる奇数列用及び偶数列用の階調データD<sub>od</sub>及びD<sub>ev</sub>をそれぞれバッファ回路構成によるデータ出力回路31O及び31Eを介して奇数列用及び偶数列用の水平駆動回路23O及び23Eに出力する。これによりシリアルパラレル変換回路26は、位相調整回路が省略され、また階調データD<sub>11</sub>のビット数に対応して構成される点を除いて、図10について上述したシリアルパラレル変換回路6と同一に構成されるようになされている。

#### 【0024】

しかしてこれによりシリアルパラレル変換回路26は、サンプリングラッチ28O、28Eにおける順次循環的なサンプリングに対応するタイミングにより複数系統の階調データをそれぞれ対応する水平駆動回路23O、23Eに出力するようになされ、この実施の形態では、サンプリングラッチ28O、28Eのサンプリングによりタイミングが異なってなる奇数列用及び偶数列用の階調データD<sub>od</sub>及びD<sub>ev</sub>を、この異なるタイミングのままで出力するようになされている。これによりシリアルパラレル変換回路26は、例えば表示部2において、水平方向の1列が240本×赤色、青色、緑色の画素により構成されている場合、水平方向の1ライン分が240本×赤色、青色、緑色分のデータ列による階調データD<sub>11</sub>を、120本×赤色、青色、緑色分のデータ列による2系統の階調データD<sub>od</sub>及びD<sub>ev</sub>に分割するようになされている。

#### 【0025】

水平駆動回路23O及び23Eは、このようにタイミングが異なってなる階調データD<sub>od</sub>及びD<sub>ev</sub>に対応して、サンプリングラッチ28O、28Eにおける順次循環的なサンプリングに対応するタイミングにより、順次、対応する系統の階調データD<sub>od</sub>及びD<sub>ev</sub>をサンプリングする点を除いて、具体的には、それぞれタイミングが異なってなるサンプリングクロックHCK<sub>od</sub>及びHCK<sub>ev</sub>によりサンプリングラッチ32O、32Eで階調データD<sub>od</sub>及びD<sub>ev</sub>を順次ラッチする点を除いて、また階調データD<sub>od</sub>及びD<sub>ev</sub>のビット数に対応するように構成される点を除いて、図10について上述した水平駆動回路3O及び3Eと同一に構成される。

#### 【0026】

すなわち水平駆動回路 230 及び 23E において、サンプリングラッチ 320 及び 32E は、それぞれサンプリングクロック HCKod 及び HCKev を基準にして、奇数列及び偶数列の列数による複数のラッチにより階調データ D od 及び D ev を順次循環的にラッチする（図 3（D）～（G））。この実施の形態においては、図 4 に示すように、階調データ D11（D od 及び D ev）が赤色、緑色、青色の画素に対応する各 6 ビットの階調データ DR、DG、DB が同時並列的に伝送されて構成されることにより、サンプリングラッチ 320 及び 32E は、これら赤色、緑色、青色の階調データ DR、DG、DB をそれぞれサンプリングするサンプリングラッチ（SL）42R、42G、42B を 1 組にした複数のサンプリングラッチ 42 により順次循環的に階調データ D od 及び D ev をサンプリングする。

#### 【0027】

続く第 2 ラッチ 330、33E は（図 1）、それぞれサンプリングラッチ 320、32E を構成する各ラッチのラッチ結果を水平走査の周期で同時並列的にラッチし、これによりこのようにしてライン単位による階調データ D od、D ev をライン単位でまとめて続くデジタルアナログ変換回路（DAC: Digital to Analog Converter）340、34E に出力する。しかしてこの場合も、第 2 ラッチ 330、33E は、図 4 に示すように、赤色、緑色、青色の階調データ DR、DG、DB をそれぞれラッチするラッチ 43R、43G、43B を 1 組にした複数のラッチ（L）43 によりサンプリングラッチ 320、32E の出力データをラッチするようになされている。

#### 【0028】

デジタルアナログ変換回路 340、34E は（図 1）、それぞれ第 2 ラッチ 330、33E から出力される複数系統の階調データ D od、D ev をデジタルアナログ変換処理して出力することにより、これら各階調データ D od、D ev に対応する各画素の駆動電圧を生成して出力する。すなわちこの場合も図 4 に示すように、デジタルアナログ変換回路 340、34E は、赤色、緑色、青色の階調データ DR、DG、DB をそれぞれデジタルアナログ変換処理するデジタルアナログ変換回路（DA）44R、44G、44B を 1 組にした複数のデ

ィジタルアナログ変換回路 44 によりラッチ 33O、33E の出力データをディジタルアナログ変換処理するようになされている。

#### 【0029】

なお図 4 に示す構成において、HST は、ライン走査周期で出力されるタイミングパルスであり、水平駆動回路 23O、23E においては、このタイミングパルス HST をシフトレジスタ (SR) 45 によりサンプリングクロック HCK で順次転送してサンプリングラッチ 42R、42G、42B のサンプリングパルスを生成するようになされている。

#### 【0030】

##### (1-2) 第 1 の実施の形態の動作

以上の構成において、この液晶表示装置 21 においては (図 2)、この液晶表示装置 21 が設けられてなる装置の中央処理ユニット等から、表示に供する各画素の階調を示すデータの連続による階調データ D11 が順次シリアルパラレル変換回路 26 に入力され、ここで順次循環的にサンプリングされて奇数列用の階調データ D<sub>od</sub>、偶数列用の階調データ D<sub>ev</sub> に変換され、水平駆動回路 23O 及び 23E において、それぞれ奇数列用の階調データ D<sub>od</sub>、偶数列用の階調データ D<sub>ev</sub> により各列の階調に対応する駆動信号が出力される。またこの駆動信号の出力に対応して垂直駆動回路 5 により表示部 2 のラインが順次循環的に選択され、これにより順次各画素の階調が設定される。これにより水平駆動回路 23O 及び 23E により、対応する奇数列、偶数列について、垂直駆動回路 5 で選択されたラインの画素が、階調データ D<sub>od</sub>、D<sub>ev</sub> による階調に設定される。

#### 【0031】

液晶表示装置 21 においては、このようにして階調データ D11 を 2 系統の階調データ D<sub>od</sub>、D<sub>ev</sub> に変換して各系統の水平駆動回路 23O、23E でそれぞれ処理することにより、表示部が高精細により作成されて階調データ D11 のデータ転送速度が高速度化している場合でも、水平駆動回路 23O、23E においては処理速度を低下させて処理することができ、その分、消費電力を低減して簡易な構成により高精細の画像を表示できるようになされている。

#### 【0032】

この液晶表示装置 21 においては (図 4)、このようにして処理されてなる階調データ D11 が、赤色、青色、緑色の画素に対応する各 6 ビットによる 3 種類の階調データを 1 組にして、これら 6 ビットの階調データが同時並列的に入力されてシリアルパラレル変換回路 26 により 2 系統に分離され、またこの 2 系統によるデータがそれぞれ水平駆動回路 23O、23E で処理され、これによってもシリアルパラレル変換回路 26、水平駆動回路 23O、23E の処理速度を低下させて消費電力を低減し、簡易な構成により高精細の画像を表示できるようになされている。

#### 【0033】

またこのようにして階調データを処理するにつき、表示部 2 を保持するガラス基板上に、これらシリアルパラレル変換回路 26、水平駆動回路 23O、23E、垂直駆動回路 5、タイミングジェネレータ 27 が一体に作成され、さらにはそれぞれ水平駆動回路 23O、23E が表示部 2 の上下に設けられ、これらにより各画素と各回路ブロックとの間の配線パターンを効率良く配置して高精細の画像を表示できるようになされ、さらには消費電力を低減し、いわゆる狭額縁化できるようになされている。

#### 【0034】

このようにして 2 系統の水平駆動回路 23O、23E により階調データ D<sub>od</sub>、D<sub>ev</sub> を処理するにつき、この液晶表示装置 21 では (図 1 及び図 3)、シリアルパラレル変換回路 26 において、階調データ D11 が順次循環的にサンプリングされて奇数列及び偶数列による 2 系統の階調データ D<sub>od</sub>、D<sub>ev</sub> に変換された後、このサンプリングに係るタイミングのまま水平駆動回路 23O、23E に出力され、水平駆動回路 23O、23E でシリアルパラレル変換回路 26 におけるサンプリングに係るタイミングに対応するタイミングで、それぞれサンプリングされて処理される。

#### 【0035】

これにより液晶表示装置 21 では、シリアルパラレル変換回路 26 において、これら階調データ D<sub>od</sub>、D<sub>ev</sub> のタイミングを補正する位相調整回路 (図 10) を省略し、その分、従来に比して構成を簡略化できるようになされ、また消費

電力を少なくすることができるようになされている。具体的に、図10について上述した位相調整回路10O、10Eは、通常1ビット当たり20個程度のトランジスタにより構成され、これによりこの実施の形態のように赤色、青色、緑色に係る各Nビット階調データを同時並列的に処理する場合、 $20 \text{ 個} \times 3 \times 2 \times N$ 個のトランジスタが位相調整回路10O、10Eに必要となる。この実施の形態の場合では、このNビットが6ビットであることにより、720個のトランジスタが必要になる。これによりこの液晶表示装置21においては、図10について上述した液晶表示装置1に比して、トランジスタを720個少なくすることができ、その分、消費電力を低減し、さらには狭額縁化することができる。

#### 【0036】

なお液晶表示装置21においては、このようにシリアルパラレル変換回路26については、構成を簡略化できるものの、タイミングジェネレータ27においては、水平駆動回路23O、23EにそれぞれサンプリングクロックHCKod、HCKevを出力しなければならなくなることにより、構成が煩雑になるとも考えられる。しかしながら實際上、それまで位相調整回路10O、10Eに出力していたタイミング補正用のクロックdckを出力しなくてもよくなることにより、タイミングジェネレータ27においては、従来の液晶表示装置1とほぼ同一の規模により構成することができ、これらによりシリアルパラレル変換回路26の構成を簡略化できる分、液晶表示装置21においては、従来に比して構成を簡略化することができる。

#### 【0037】

##### (1-3) 第1の実施の形態の効果

以上の構成によれば、シリアルパラレル変換回路26により階調データを複数系統に振り分けるようにし、この複数系統に振り分ける際のサンプリングに対応するタイミングで、各系統の階調データを対応する水平駆動回路でサンプリングすることにより、シリアルパラレル変換回路26から出力する複数系統の階調データの位相を一致させる構成を省略することができ、その分、従来に比して構成を簡略化し、さらには消費電力を少なくすることができる。

#### 【0038】



またこのシリアルパラレル変換回路、複数系統の水平駆動回路、シリアルパラレル変換回路及び数系統の水平駆動回路に動作基準のタイミング信号を出力するタイミングジェネレータを表示部の絶縁基板上に一体に形成するようにして、表示部の周辺構成を簡略化することができ、その分、狭額縁化することができる。

#### 【0039】

またこの複数系統を、表示部における奇数列と偶数列とに対応する系統であるようにし、各系統の水平駆動回路を表示部の上下にそれぞれ配置することにより、表示部における配線パターンを効率良くレイアウトして高精細に画素を配置することができる。

#### 【0040】

##### (2) 第2の実施の形態

図5は、本発明の第2の実施の形態に係る液晶表示装置51を示すブロック図である。この実施の形態では、赤色、青色、緑色の画素に対応する階調データの連続による階調データD21が入力され、これにより第1の実施の形態について上述した階調データD11の処理に係る液晶表示装置21に比して、高転送レートによる階調データD21により画像表示するようになされている。

#### 【0041】

この液晶表示装置51においては、シリアルパラレル変換回路56によりこの階調データD21を順次循環的にサンプリングして奇数列及び偶数列の階調データD<sub>od</sub>及びD<sub>ev</sub>を生成し、この奇数列及び偶数列の階調データD<sub>od</sub>及びD<sub>ev</sub>によりそれぞれ水平駆動回路53O及び53Eで表示部2を駆動するようになされている。液晶表示装置51において、水平駆動回路53O及び53Eは、この液晶表示装置51に入力される階調データD21のビット数に対応して、処理対象である階調データD<sub>od</sub>及びD<sub>ev</sub>のビット数が異なる点に係る構成、奇数列及び偶数列が表示部2の水平方向の画素単位で設定されてなる点に係る構成を除いて、第1の実施の形態に係る水平駆動回路23O及び23Eと同一に構成されるようになされている。

#### 【0042】

これに対してシリアルパラレル変換回路56は、階調データD21を順次循環

的にサンプリングし、このサンプリングに対応するタイミングにより複数系統の階調データ D o d 及び D e v をそれぞれ対応する水平駆動回路 5 3 O 及び 5 3 E に出力し、これにより液晶表示装置 5 1 では、第 1 の実施の形態と同一の効果を達成することができるようになされている。

#### 【0043】

この実施の形態において、シリアルパラレル変換回路 5 6 は、この順次循環的なサンプリングの際に、階調データ D 2 1 の振幅を拡大して複数系統のデータに変換した後、これら各系統のデータの振幅を抑圧して元の振幅により出力するようになされ、これにより高転送レートによる階調データ D 2 1 について、確実に処理できるようになされている。

#### 【0044】

このため液晶表示装置 5 1 においては、図 5 において符号 A 及び C により破線で囲って示すように、シリアルパラレル変換回路 5 6 の入力側、シリアルパラレル変換回路 5 6 の出力側及び水平駆動回路 5 3 O、5 3 E 等が、階調データ D 2 1 の出力回路と同一の電源電圧に保持された低電圧ブロックにより作成され、また符号 B により破線で囲って示すように、シリアルパラレル変換回路 5 6 の残りの回路ブロックが、この低電圧ブロックに比して電源電圧の高い高電圧ブロックにより構成されるようになされている。

#### 【0045】

シリアルパラレル変換回路 5 6 は、このような振幅の拡大、縮小をレベルシフトにより実行する。すなわち図 6 は、このシリアルパラレル変換回路 5 6 を構成するサンプリングラッチ 5 8 O の 1 ビット分の構成を示す接続図である。なお偶数系統のサンプリングラッチ 5 8 E においては、動作基準であるサンプリングクロック s c k が異なる点を除いて同一であることにより、説明は省略する。

#### 【0046】

シリアルパラレル変換回路 5 6 は、ゲート及びドレインがそれぞれ共通に接続された N チャンネル MOS (以下、NMOS と呼ぶ) トランジスタ Q 1 及び P チャンネル MOS (以下、PMOS と呼ぶ) トランジスタ Q 2 からなる CMOS インバータと、同様に、ゲート及びドレインがそれぞれ共通に接続された NMOS

トランジスタ Q3 及び PMOS トランジスタ Q4 からなる CMOS インバータとが電源電圧 3.3 [V] の電源ラインとグランドとの間に並列に設けられる。シリアルパラレル変換回路 56 は、これら 2 つの CMOS インバータが直列に接続され、トランジスタ Q1 及び Q2 によるインバータに階調データ D21 が入力される。これによりシリアルパラレル変換回路 56 は、これらトランジスタ Q1 ~ Q4 により振幅が 3.3 [V] による階調データ D21 の反転、非反転出力を生成し、これらトランジスタ Q1 ~ Q4 によりコンプリメンタリーパルス発生部を構成する。

#### 【0047】

さらにシリアルパラレル変換回路 56 は、NMOS トランジスタ Q5 及び PMOS トランジスタ Q6 からなる CMOS インバータと、NMOS トランジスタ Q7 及び PMOS トランジスタ Q8 からなる CMOS インバータとにより比較器構成の CMOS ラッチセルが形成され、サンプリングクロック *sck* (奇数列側ではこのサンプリングクロック *sck* の反転信号) により動作する NMOS トランジスタ Q9 を介して、トランジスタ Q1 ~ Q4 による階調データ D21 の非反転出力がこのラッチセルに供給される。またシリアルパラレル変換回路 56 は、NMOS トランジスタ Q10 及び PMOS トランジスタ Q11 からなる CMOS インバータと、NMOS トランジスタ Q12 及び PMOS トランジスタ Q13 からなる CMOS インバータとに、それぞれトランジスタ Q5 ~ Q8 によるラッチセルの反転出力、非反転出力が供給され、トランジスタ Q10 及び Q11 によるインバータには、さらにサンプリングクロック *sck* (奇数列側ではこのサンプリングクロック *sck* の反転信号) により動作する NMOS トランジスタ Q14 を介して、トランジスタ Q1 ~ Q4 による階調データ D21 の反転出力がこのラッチセルに供給される。また同様に、サンプリングクロック *sck* (奇数列側ではこのサンプリング *sck* の反転信号) により動作する PMOS トランジスタ Q15 を介して、電圧 6 [V] の電源がこれらラッチセル、インバータに供給される。これによりシリアルパラレル変換回路 56 は、これらトランジスタ Q5 ~ Q15 により、1st ラッチ部を構成し、サンプリングクロック *sck* に応じて、トランジスタ Q1 ~ Q4 による階調データ D21 の反転、非反転出力の振幅を拡大

してラッチするようになされている。

#### 【0048】

またシリアルパラレル変換回路56は、NMOSトランジスタQ17及びPMOSトランジスタQ18からなるCMOSインバータと、NMOSトランジスタQ19及びPMOSトランジスタQ20からなるCMOSインバータとにより比較器構成のCMOSラッチセルが電源電圧6[V]により形成され、NMOSトランジスタQ21、Q22を介して、このCMOSラッチセルに1stラッチ部のラッチ結果が供給される。ここでこのNMOSトランジスタQ21、Q22は、トランジスタQ23、Q24によるインバータを介して、サンプリングクロックclkが供給される。シリアルパラレル変換回路56は、NMOSトランジスタQ26及びPMOSトランジスタQ27からなるCMOSインバータを介して、トランジスタQ17～Q20によるラッチセルのラッチ結果を続くデータ出力回路に出力するようになされている。シリアルパラレル変換回路56は、これらトランジスタQ21～Q27により2ndラッチ部を構成するようになされている。

#### 【0049】

データ出力回路61O、61Eは、この図6の構成とは逆に、電源電圧6[V]の系によりサンプリングラッチ58O、58Eの出力を受け、電源電圧3.3[V]の系により出力する。

#### 【0050】

これによりこの実施の形態において、サンプリングラッチ58O、58Eは、階調データD21の振幅を拡大して順次循環的にサンプリングして複数系統のデータに変換するデータ変換回路を構成し、データ出力回路71O、71Eは、このデータ変換回路による複数系統のデータをそれぞれについて、振幅を抑圧して複数系統の階調データを出力するレベルシフト回路を構成するようになされている。

#### 【0051】

この第2の実施の形態によれば、階調データを複数系統に振り分ける際のサンプリングに対応するタイミングで、各系統の階調データを対応する水平駆動回路

でサンプリングするようにして、階調データの振幅を拡大して順次循環的にサンプリングして複数系統のデータに変換し、この複数系統のデータの振幅を抑圧して複数系統の階調データを生成することにより、高転送レートによる階調データを処理する場合に適用して第1の実施の形態と同様の効果を得ることができる。

#### 【0052】

##### (3) 第3の実施の形態

図7は、本発明の第3の実施の形態に係る液晶表示装置71を示すブロック図である。この実施の形態においては、第2の実施の形態と同様に、高転送レートによる階調データD21により画像表示する場合に適用して、シリアルパラレル変換回路86において、階調データD21の振幅を拡大して順次循環的にサンプリングして複数系統のデータに変換し、この複数系統のデータの振幅を抑圧して複数系統の階調データを生成する。

#### 【0053】

この実施の形態では、このためシリアルパラレル変換回路86において、事前に、レベルシフト回路87により階調データD21の振幅を拡大する。また続くサンプリングラッチ88O、88Eにより階調データD21を順次循環的にサンプリングして複数系統のデータに変換し、データ出力回路71O、71Eにより元の振幅に戻して出力する。

#### 【0054】

これによりこの実施の形態においては、レベルシフト回路87、サンプリングラッチ88O、88Eが、階調データD21の振幅を拡大して順次循環的にサンプリングして複数系統のデータに変換するデータ変換回路を構成するようになされている。

#### 【0055】

この第3の実施の形態によれば、事前に振幅を拡大して階調データD21を処理するようにしても、第2の実施の形態と同様の効果を得ることができる。

#### 【0056】

##### (4) 他の実施の形態

なお上述の実施の形態においては、赤色、青色、緑色の画素に対応する階調デ

ータを1組とした階調データD11を2系統に分けて処理する場合、各画素の対応する階調データD21を2系統に分けて処理する場合について述べたが、本発明はこれに限らず、例えば赤色、青色、緑色の画素に対応して階調データを3系統に分けて処理する場合等、この系統数については必要に応じて種々に設定することができる。

#### 【0057】

また上述の実施の形態においては、水平駆動回路を表示部の上下に分けて配置する場合について述べたが、本発明はこれに限らず、必要に応じて上下の一方にまとめて配置する場合等にも広く適用することができる。

#### 【0058】

また上述の実施の形態においては、本発明を液晶表示装置に適用する場合について述べたが、本発明はこれに限らず、EL (Electro Luminescence) 表示装置等、種々のフラットディスプレイ装置に広く適用することができる。

#### 【0059】

##### 【発明の効果】

上述のように本発明によれば、階調データを複数系統に振り分ける際のサンプリングに対応するタイミングで、各系統の階調データを対応する水平駆動回路でサンプリングすることにより、従来に比して構成を簡略化し、さらには消費電力を少なくすることができる。

##### 【図面の簡単な説明】

#### 【図1】

本発明の第1の実施の形態に係る液晶表示装置の一部を示すブロック図である。

#### 【図2】

本発明の第1の実施の形態に係る液晶表示装置を示すブロック図である。

#### 【図3】

図2の液晶表示装置の動作の説明に供するタイムチャートである。

#### 【図4】

図1の水平駆動回路を示すブロック図である。

## 【図 5】

本発明の第 2 の実施の形態に係る液晶表示装置の一部を示すブロック図である。

## 【図 6】

図 5 の液晶表示装置におけるサンプリングラッチを示す接続図である。

## 【図 7】

本発明の第 3 の実施の形態に係る液晶表示装置の一部を示すブロック図である。

## 【図 8】

従来の液晶表示装置を示すブロック図である。

## 【図 9】

従来の液晶表示装置の動作の説明に供するタイムチャートである。

## 【図 10】

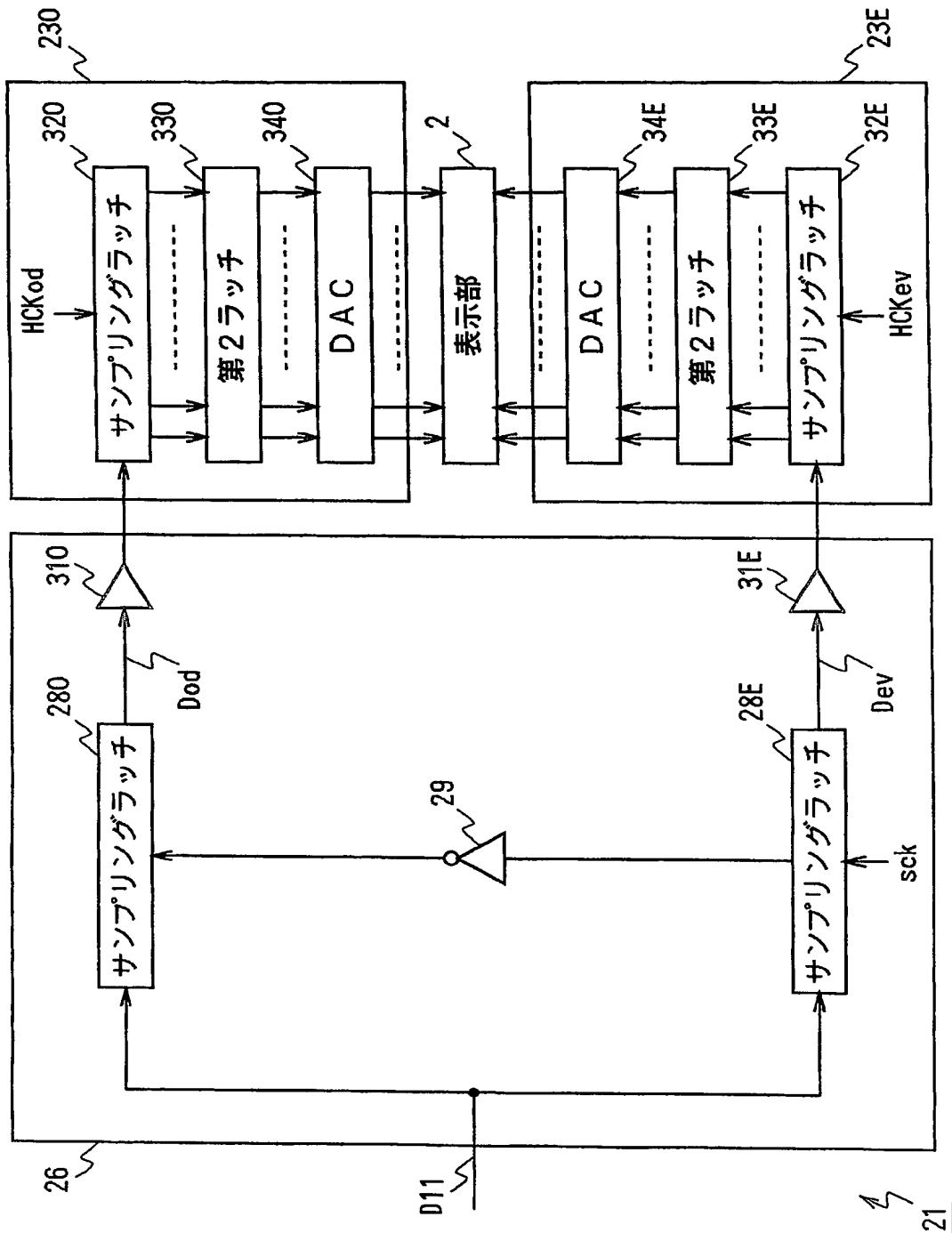
従来の液晶表示装置の一部を詳細に示すブロック図である。

## 【符号の説明】

1、21、51、71……液晶表示装置、2……表示部、3O、3E、23O、23E、53O、53E……水平駆動回路、5……垂直駆動回路、6、26……シリアルパラレル変換回路、7、27……タイミングジェネレータ、8O、8E、12O、12E、28O、28E、32O、32E、58O、58E、88O、88E……サンプリングラッチ、10O、10E……位相調整回路、11O、11E、31O、31E、61O、61E……データ出力回路、87……レベルシフト回路

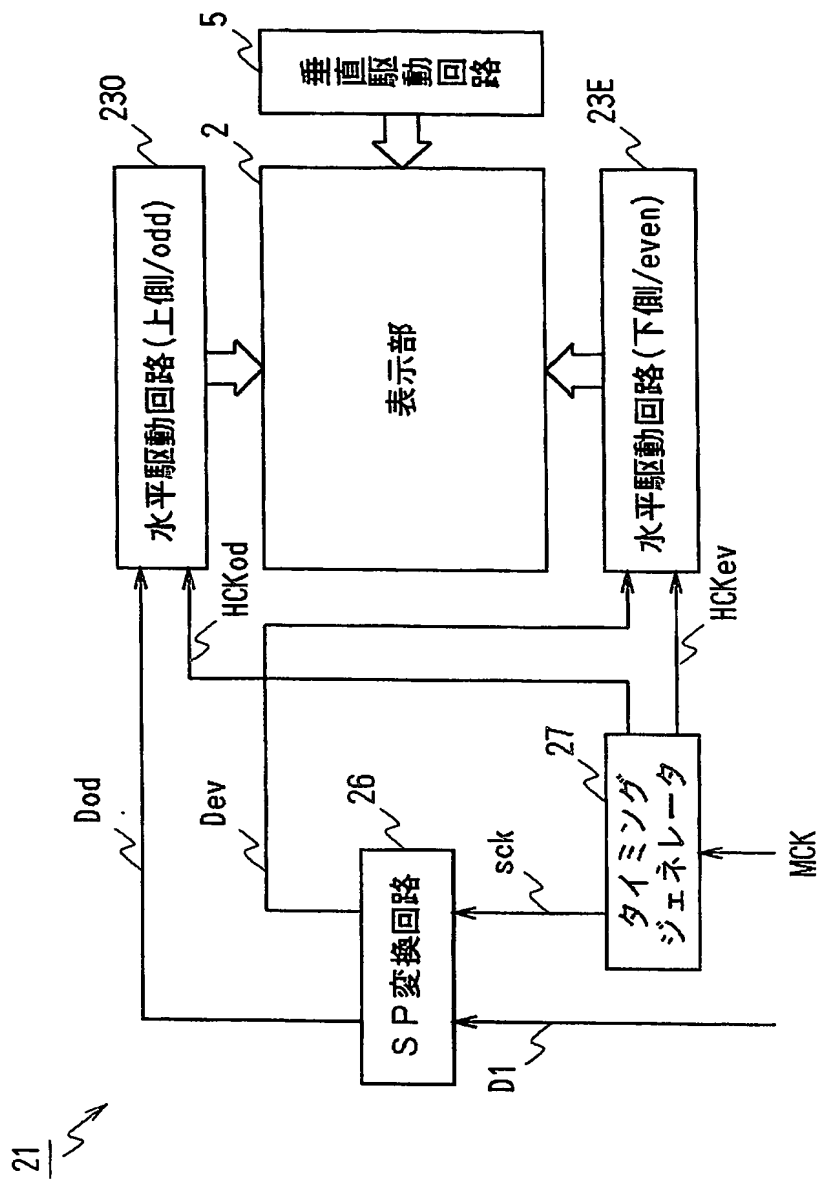
【書類名】 図面

【図 1】

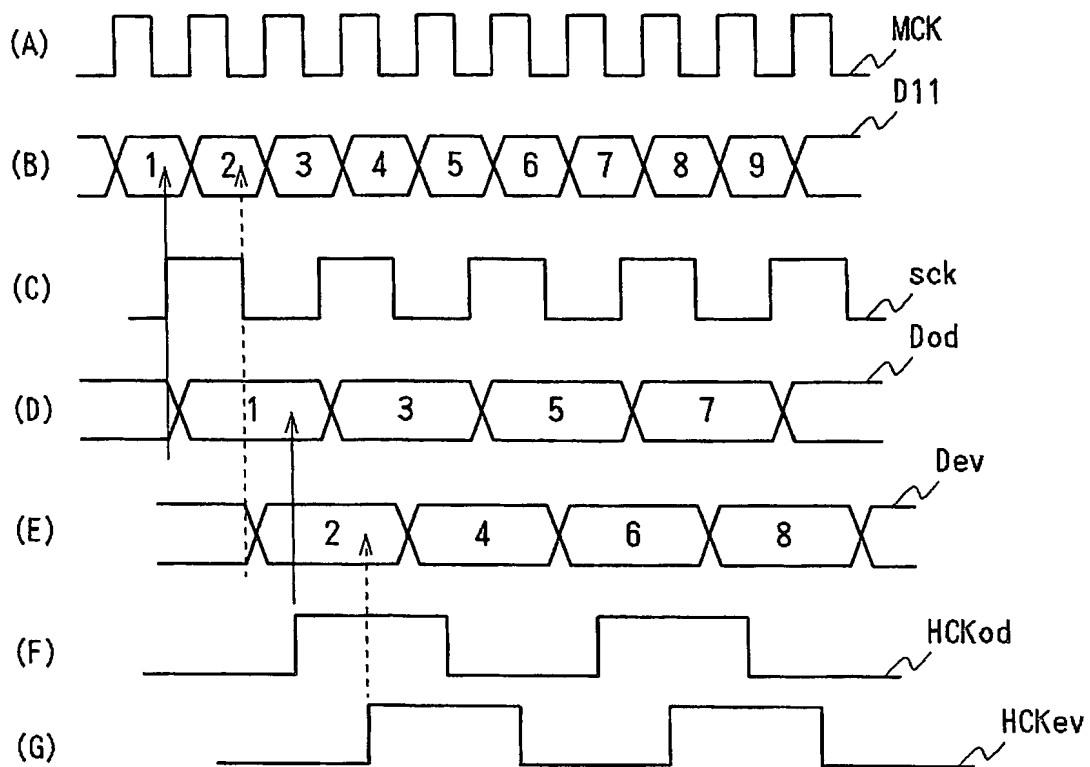




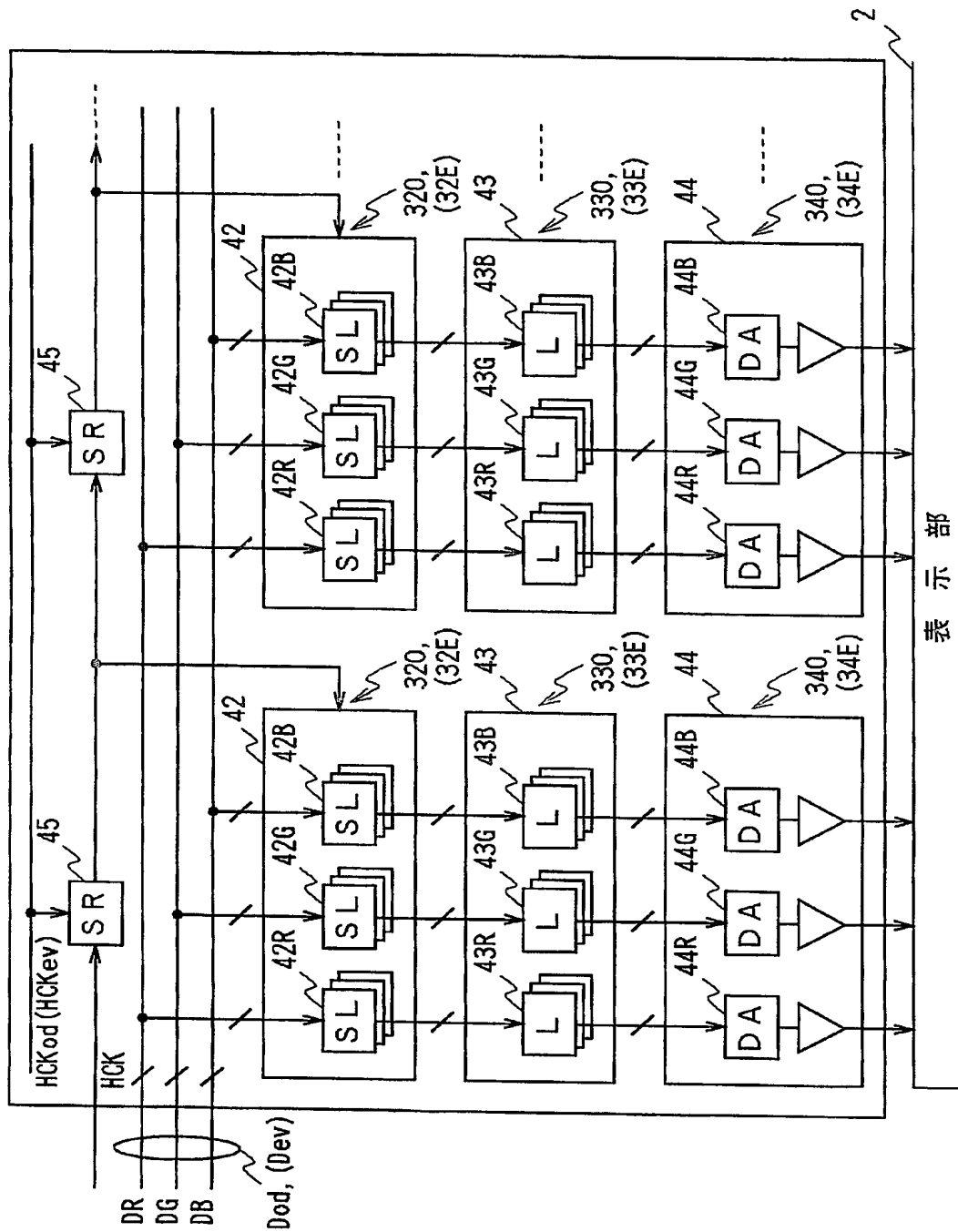
【図 2】



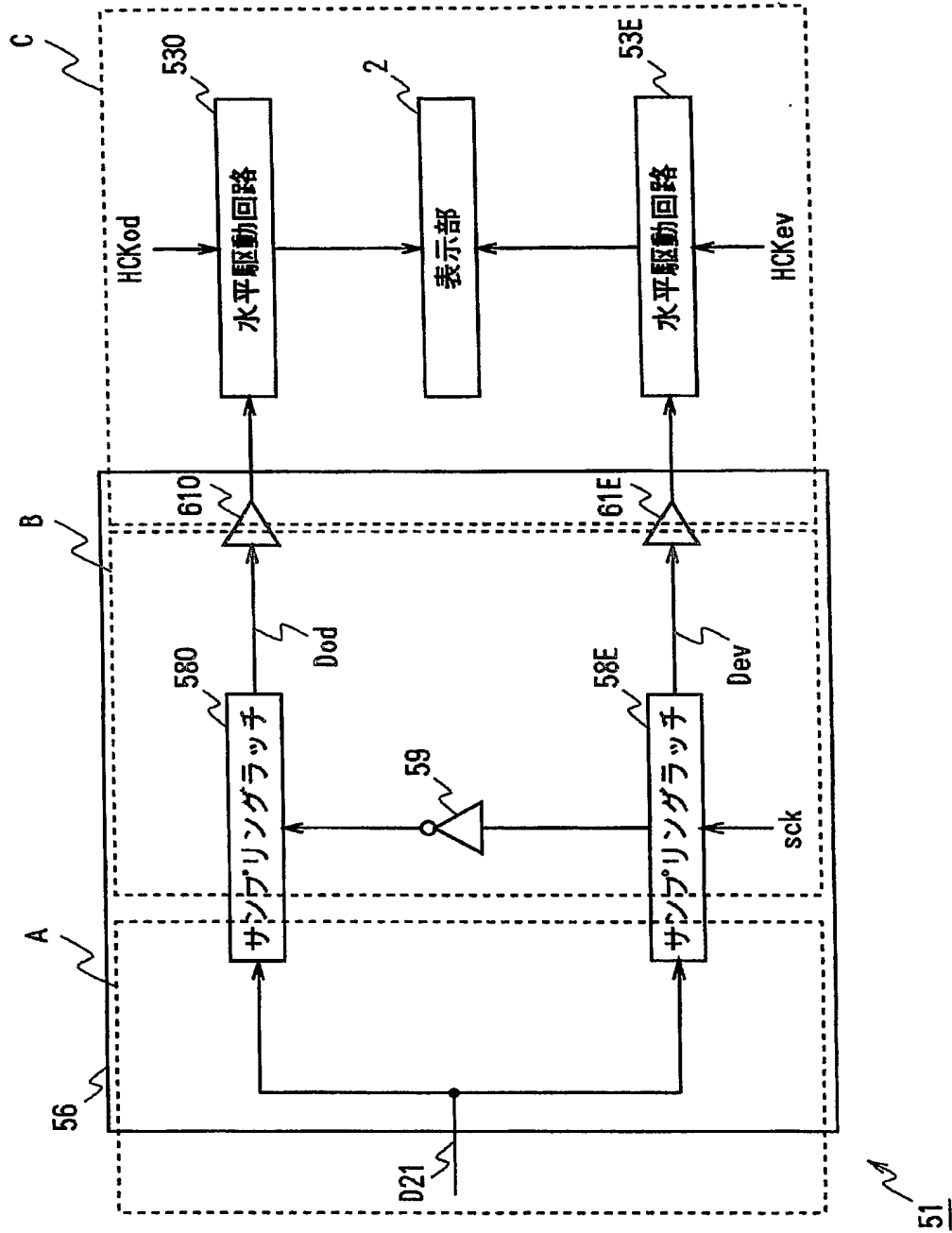
【図 3】



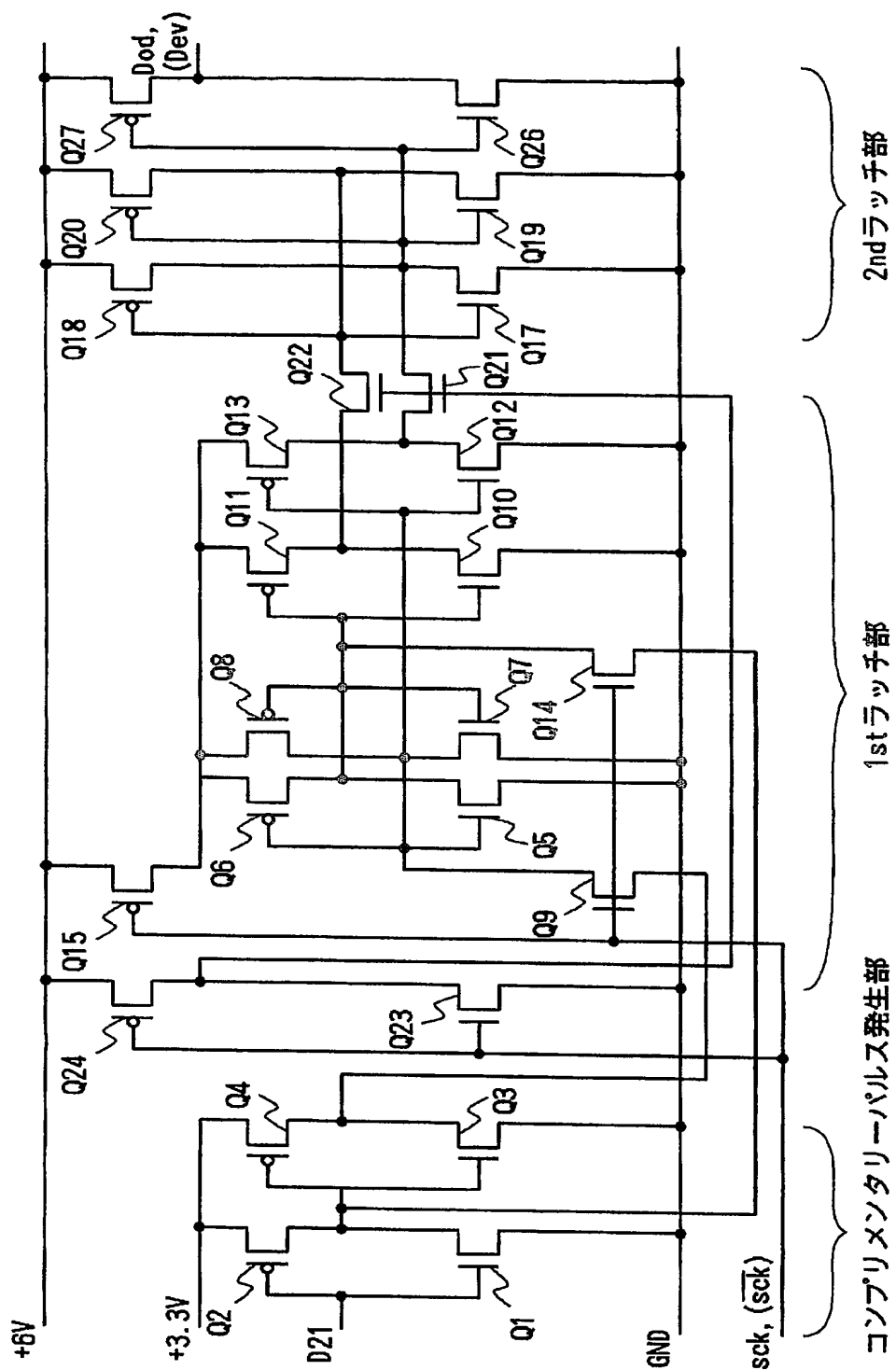
【図 4】



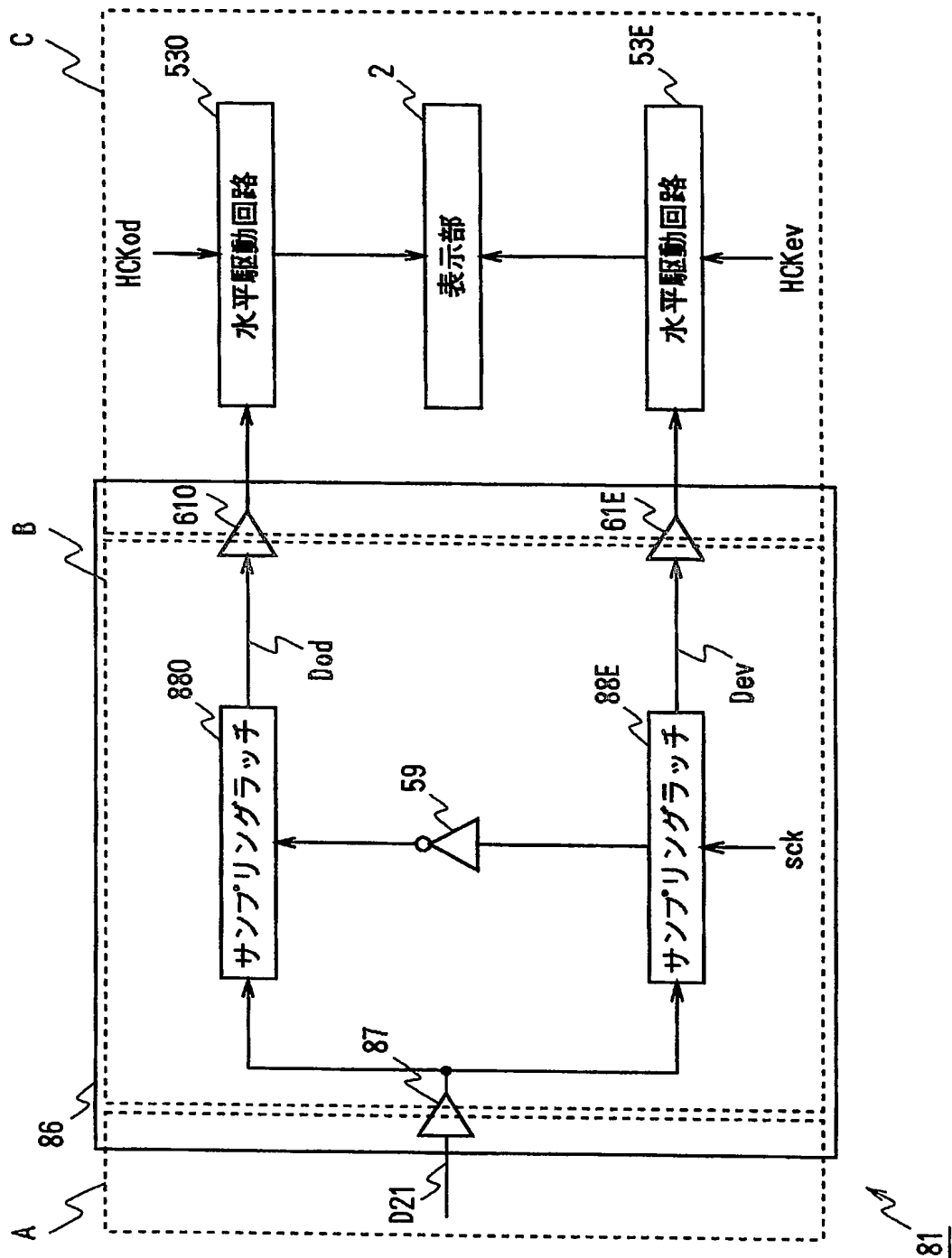
【図 5】



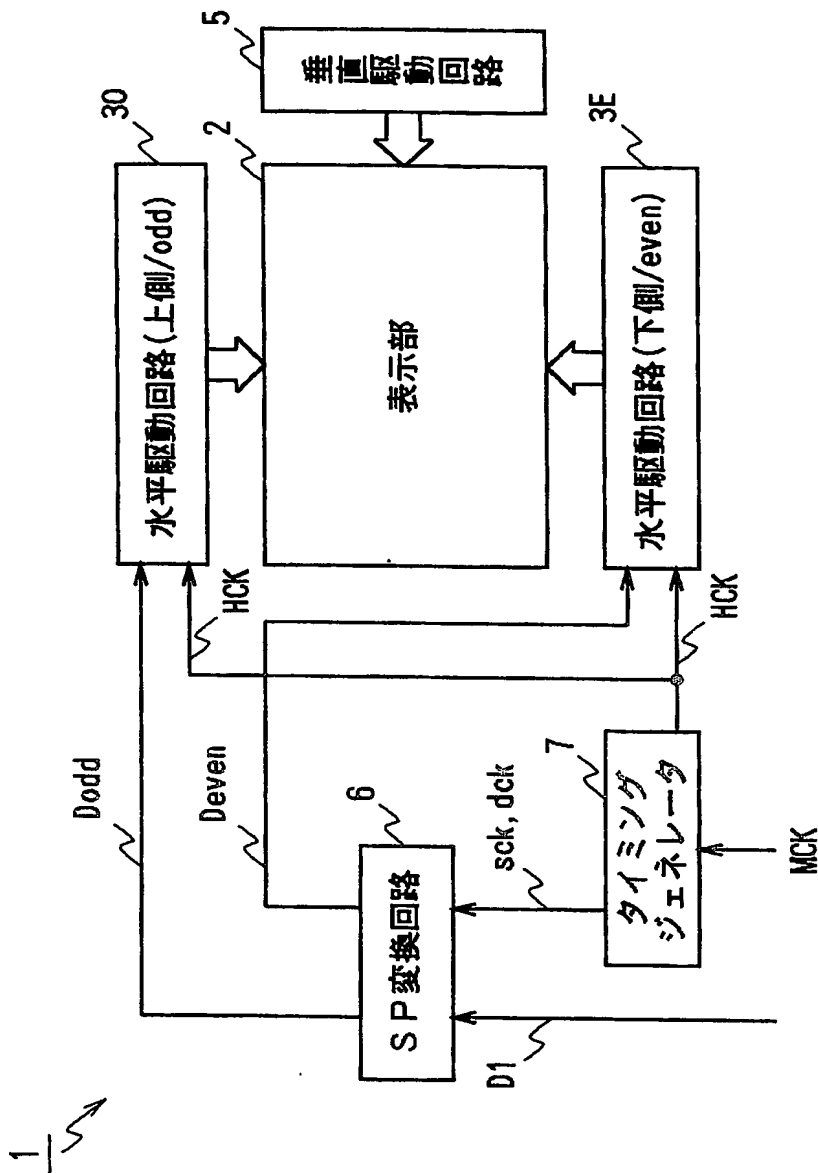
【図 6】



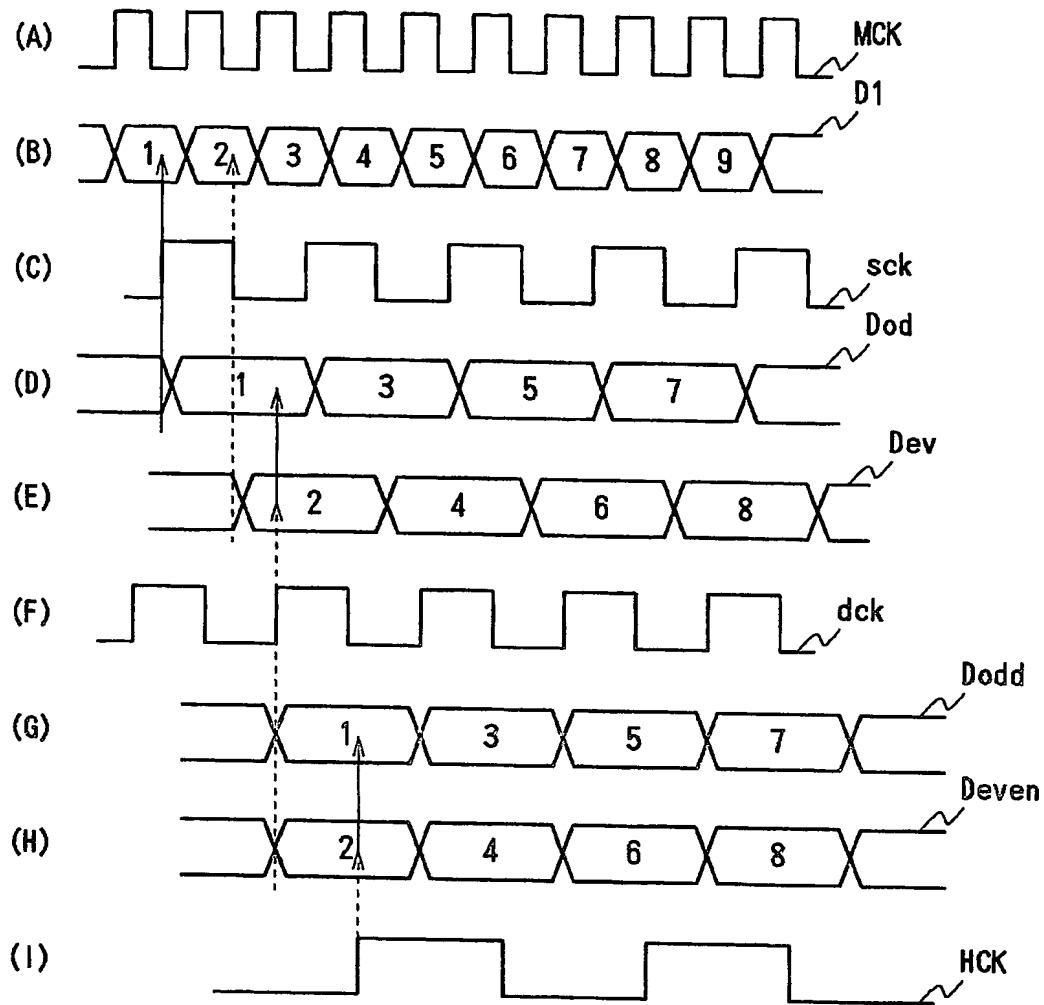
【図 7】



【図8】

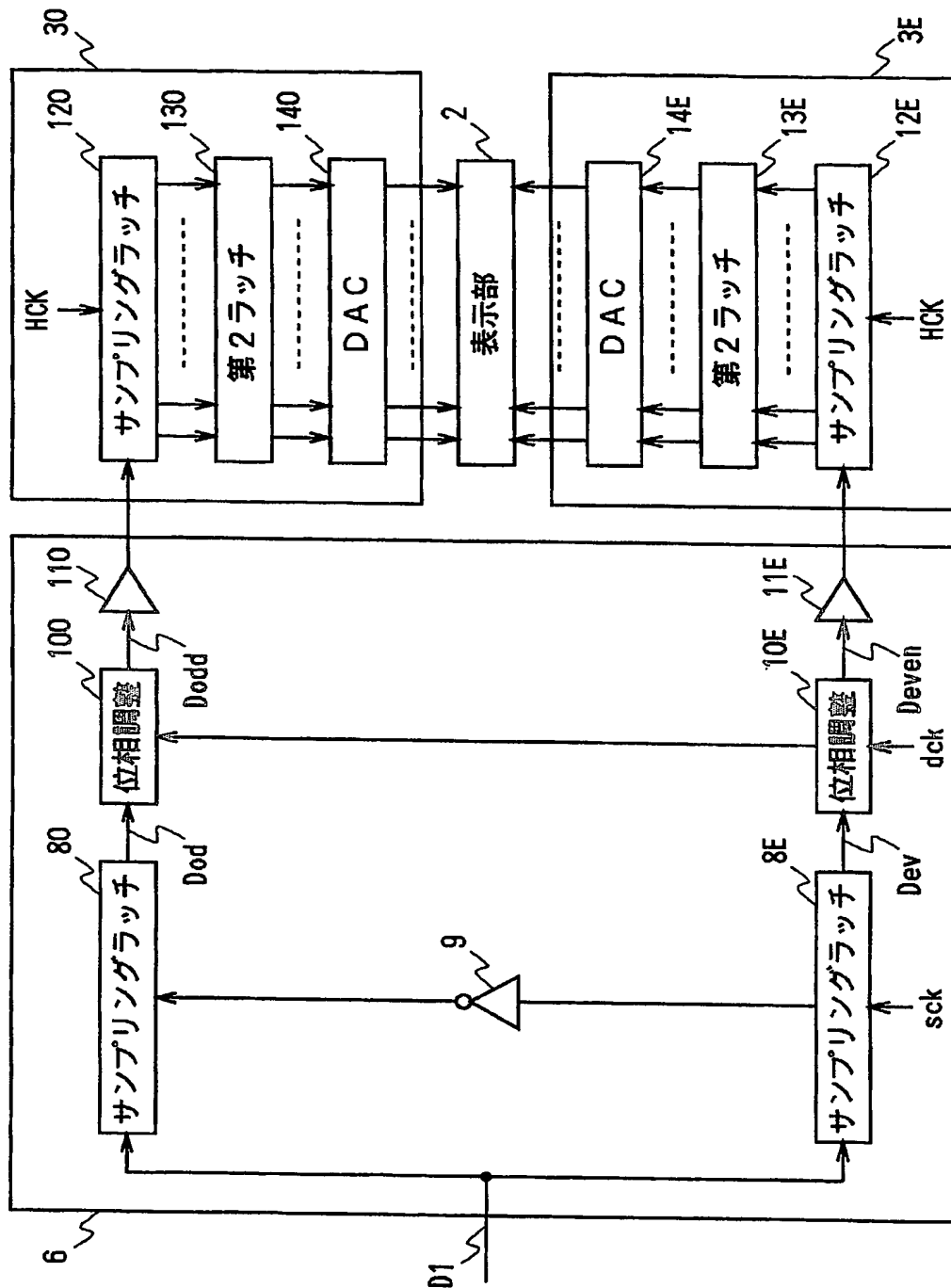


【図 9】





【図10】



【書類名】 要約書

【要約】

【課題】 本発明は、フラットディスプレイ装置に関し、例えば絶縁基板上に駆動回路を一体に形成した液晶表示装置に適用して、従来に比して構成を簡略化し、さらには消費電力を少なくすることができるようにする。

【解決手段】 本発明は、階調データ D<sub>11</sub> を複数系統に振り分ける際のサンプリングに対応するタイミングで、各系統の階調データ D<sub>od</sub>、D<sub>ev</sub> を対応する水平駆動回路 230、23E でサンプリングする。

【選択図】 図 1

特願 2003-186428

ページ： 1/E

出願人履歴情報

識別番号

[000002185]

1. 変更年月日

1990年 8月30日

[変更理由]

新規登録

住所

東京都品川区北品川6丁目7番35号

氏名

ソニー株式会社